



(19)

(11) Publication number: 2002042476 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000223944

(51) Intl. Cl.: G11C 11/413

(22) Application date: 25.07.00

(30) Priority:

(43) Date of application
publication: 08.02.02

(84) Designated
contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: AKAI KIYOTAKA
KOKUBO NOBUYUKI

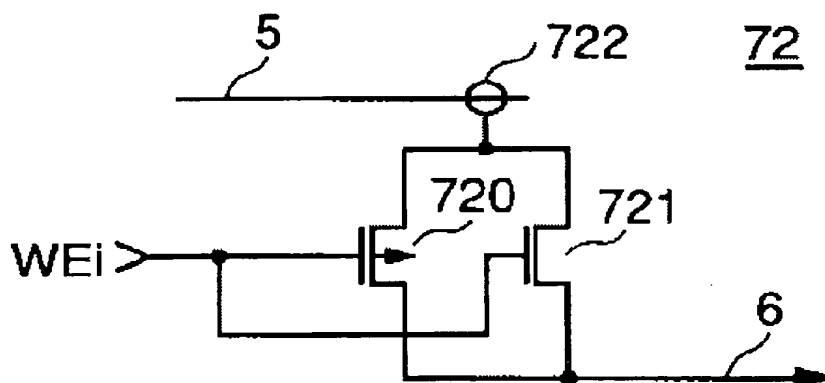
(74) Representative:

(54) STATIC SEMICONDUCTOR MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a static semiconductor memory in which a write-in margin can be taken.

SOLUTION: The static semiconductor memory is provided with a voltage supply circuit 72. An internal power source line 6 is connected to a memory cell. An external power source line 5 is connected to a power source node 722 and external power source voltage is supplied to the power source node 72. An internal write-in signal WEi of a H level is inputted to the voltage supply circuit 72 at the time of write-in of data, voltage VCC-VTH is supplied to a memory cell by a N channel MOS transistor 721. Also, an internal write-in signal WEi of a L level is inputted to the voltage supply circuit 72 at the time of read-out of data, and voltage VCC is supplied to a memory cell by a P channel MOS transistor 720.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-42476

(P2002-42476A)

(43) 公開日 平成14年2月8日(2002.2.8)

(51) Int.Cl.⁷

G 1 1 C 11/413

識別記号

F I

G 1 1 C 11/34

テームコード(参考)

3 3 5 A 5 B 0 1 5

3 4 1 A

審査請求 未請求 請求項の数18 O L (全 22 頁)

(21) 出願番号 特願2000-223944(P2000-223944)

(22) 出願日 平成12年7月25日(2000.7.25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 赤井 清恭

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 小久保 信幸

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

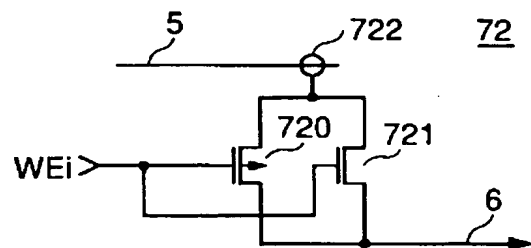
Fターム(参考) 5B015 HH03 JJ12 KA13 KB64 KB74

(54) 【発明の名称】 スタティック型半導体記憶装置

(57) 【要約】

【課題】 書き込みマージンを取ることができるスタティック型半導体記憶装置を提供する。

【解決手段】 スタティック型半導体記憶装置は、電圧供給回路72を備える。内部電源線6はメモリセルに接続されている。電源ノード722には外部電源線5が接続されており外部電源電圧が供給される。電圧供給回路72は、データの書き込み時、Hレベルの内部書込信号WEiが入力され、NチャネルMOSトランジスタ721によって電圧VCC-VTHがメモリセルへ供給される。また、電圧供給回路72は、データの読出し時、Lレベルの内部書込信号WEiが入力され、PチャネルMOSトランジスタ720によって電圧VCCがメモリセルへ供給される。



【特許請求の範囲】

【請求項1】 第1のスタティックノイズマージンを有する第1のインバータ特性または前記第1のスタティックノイズマージンよりも大きい第2のスタティックノイズマージンを有する第2のインバータ特性に従って駆動される複数のメモリセルと、

前記複数のメモリセルの各々にデータを書込むとき、前記第1のインバータ特性に従って前記複数のメモリセルの各々を駆動させ、前記複数のメモリセルの各々からデータを読み出すとき、前記第2のインバータ特性に従って前記複数のメモリセルの各々を駆動させる駆動回路とを備え、

前記複数のメモリセルの各々は、第1の導電型の第1の駆動用トランジスタおよび第2の導電型の第1の負荷用トランジスタからなる第1のインバータならびに第1の導電型の第2の駆動用トランジスタおよび第2の導電型の第2の負荷用トランジスタからなる第2のインバータを有するフリップフロップ回路と、

前記第1のインバータの出力ノードに接続される第1の導電型の第1のアクセストランジスタと、前記第2のインバータの出力ノードに接続される第1の導電型の第2のアクセストランジスタとを含む、スタティック型半導体記憶装置。

【請求項2】 前記駆動回路は、前記複数のメモリセルの各々にデータを書込むとき、前記第1のインバータ特性に従って駆動させるための第1の電圧を前記複数のメモリセルの各々に供給し、前記複数のメモリセルの各々からデータを読み出すとき、前記第2のインバータ特性に従って駆動させるための第2の電圧を前記複数のメモリセルの各々に供給する、請求項1に記載のスタティック型半導体記憶装置。

【請求項3】 前記駆動回路は、前記第1および第2の電圧を前記各メモリセルの高電圧ノードへ供給する、請求項2に記載のスタティック型半導体記憶装置。

【請求項4】 前記駆動回路は、書込み信号の活性化に伴って第1の活性化信号を生成し、前記書込み信号の不活性化に伴って第2の活性化信号を生成する活性化信号生成回路と、

前記複数のメモリセルの各々にデータを書込むとき、前記第1の活性化信号に基づいて前記第1の電圧を前記複数のメモリセルの各々に供給し、前記複数のメモリセルの各々からデータを読み出すとき、前記第2の活性化信号に基づいて前記第2の電圧を前記複数のメモリセルの各々に供給する電圧供給回路とを含み、

前記電圧供給回路は、外部電源電圧が供給される外部電源線と、前記複数のメモリセルの各々の高電圧ノードに接続された内部電源線と、

前記外部電源線と前記内部電源線との間に接続され、前

記第1の活性化信号を受けて前記第1の電圧を前記内部電源線に供給する第1の導電型の第1の電圧供給用トランジスタと、

前記外部電源線と前記内部電源線との間に前記第1の電圧供給用トランジスタと並列接続され、前記第2の活性化信号を受けて前記第2の電圧を前記内部電源線に供給する第2の導電型の第2の電圧供給用トランジスタとから成る、請求項3に記載のスタティック型半導体記憶装置。

10 【請求項5】 前記駆動回路は、前記第1および第2の電圧を前記各メモリセルの低電圧ノードへ供給する、請求項2に記載のスタティック型半導体記憶装置。

【請求項6】 前記駆動回路は、書込み信号の活性化に伴って第1の活性化信号を生成し、前記書込み信号の不活性化に伴って第2の活性化信号を生成する活性化信号生成回路と、

前記複数のメモリセルの各々にデータを書込むとき、前記第1の活性化信号に基づいて前記第1の電圧を前記複数のメモリセルの各々に供給し、前記複数のメモリセルの各々からデータを読み出すとき、前記第2の活性化信号に基づいて前記第2の電圧を前記複数のメモリセルの各々に供給する電圧供給回路とを含み、

前記電圧供給回路は、接地電圧が供給される接地ノードと、前記複数のメモリセルの各々の低電圧ノードに接続された内部電源線と、

前記接地ノードと前記内部電源線との間に接続され、前記第1の活性化信号を受けて前記第1の電圧を前記内部電源線に供給する第2の導電型の第3の電圧供給用トランジスタと、

30 前記接地ノードと前記内部電源線との間に前記第3の電圧供給用トランジスタと並列接続され、前記第2の活性化信号を受けて前記第2の電圧を前記内部電源線に供給する第1の導電型の第4の電圧供給用トランジスタとから成る、請求項6に記載のスタティック型半導体記憶装置。

【請求項7】 前記駆動回路は、前記複数のメモリセルの各々にデータを書込むとき、前記各メモリセルの負荷を前記第1のインバータ特性に従って駆動させるための第1の負荷に設定し、前記複数のメモリセルの各々からデータを読み出すとき、前記各メモリセルの負荷を前記第2のインバータ特性に従って駆動させるための第2の負荷に設定する、請求項1に記載のスタティック型半導体記憶装置。

40 【請求項8】 前記駆動回路は、書込み信号の活性化に伴って活性化信号を生成し、書込み信号の不活性化に伴って不活性化信号を生成する信号生成回路と、

前記複数のメモリセルの各々にデータを書込むとき、前記不活性化信号に基づいて前記第2の電圧を供給して前

50

記各メモリセルの負荷を前記第1の負荷に設定し、前記複数のメモリセルの各々からデータを読み出すとき、前記活性化信号に基づいて前記第2の電圧を供給して前記各メモリセルの負荷を前記第2の負荷に設定する電圧供給回路とを含む、請求項7に記載のスタティック型半導体記憶装置。

【請求項9】 前記電圧供給回路は、外部電源電圧が供給される外部電源線と、前記複数のメモリセルの各々の高電圧ノードに接続された内部電源線と、前記外部電源線と前記内部電源線との間に接続され、前記活性化信号を受けて前記内部電源線に前記第2の電圧を供給し、前記各メモリセルの負荷を前記第2の負荷に設定する第2の導電型の電圧供給用トランジスタと、前記外部電源線と前記内部電源線との間に前記電圧供給用トランジスタと並列接続され、前記不活性化信号によって前記電圧供給用トランジスタが不活性化されることに伴って前記内部電源線に前記第2の電圧を供給し、前記各メモリセルの負荷を前記第1の負荷に設定する抵抗とから成る、請求項8に記載のスタティック型半導体記憶装置。

【請求項10】 前記駆動回路は、書き込み信号の活性化に伴って第1の活性化信号を生成し、書き込み信号の不活性化に伴って第2の活性化信号を生成する活性化信号生成回路と、前記複数のメモリセルの各々にデータを書込むとき、前記第1の活性化信号に基づいて前記第2の電圧を供給して前記各メモリセルの負荷を前記第1の負荷に設定し、前記複数のメモリセルの各々からデータを読み出すとき、前記第2の活性化信号に基づいて前記第2の電圧を供給して前記各メモリセルの負荷を前記第2の負荷に設定する電圧供給回路とを含む、請求項7に記載のスタティック型半導体記憶装置。

【請求項11】 前記電圧供給回路は、外部電源電圧が供給される外部電源線と、前記複数のメモリセルの各々の高電圧ノードに接続された内部電源線と、前記外部電源線と前記内部電源線との間に接続され、前記第1の活性化信号を受けて前記内部電源線に前記第2の電圧を供給し、前記各メモリセルの負荷を前記第1の負荷に設定する第2の導電型の薄膜トランジスタと、前記外部電源線と前記内部電源線との間に前記薄膜トランジスタと並列接続され、前記第2の活性化信号を受けて前記内部電源線に前記第2の電圧を供給し、前記各メモリセルの負荷を前記第2の負荷に設定する第2の導電型の電圧供給用トランジスタとから成る、請求項10に記載のスタティック型半導体記憶装置。

【請求項12】 第1のスタティックノイズマージンを有する第1のインバータ特性または前記第1のスタティックノイズマージンよりも大きい第2のスタティックノ

イズマージンを有する第2のインバータ特性に従って駆動される複数のメモリセルと、

前記複数のメモリセルの各々にデータを書込むとき、供給される外部電源電圧に応じて前記第1のインバータ特性または前記第2のインバータ特性に従って前記複数のメモリセルの各々を駆動させる駆動回路とを備え、

前記複数のメモリセルの各々は、

第1の導電型の第1の駆動用トランジスタおよび第2の導電型の第1の負荷用トランジスタからなる第1のイン

10 バータならびに第1の導電型の第2の駆動用トランジスタおよび第2の導電型の第2の負荷用トランジスタからなる第2のインバータを有するフリップフロップ回路と、

前記第1のインバータの出力ノードに接続される第1の導電型の第1のアクセストランジスタと、

前記第2のインバータの出力ノードに接続される第1の導電型の第2のアクセストランジスタとを含む、スタティック型半導体記憶装置。

【請求項13】 前記駆動回路は、前記第1の駆動用トランジスタと前記第1のアクセストランジスタとのイン10 バータ特性、または前記第2の駆動用トランジスタと前記第2のアクセストランジスタとのインバータ特性が消滅する下限電圧よりも高い外部電源電圧が供給されたとき、前記複数のメモリセルの各々を前記第1のインバータ特性に従って駆動し、前記下限電圧以下の外部電源電圧が供給されたとき、前記複数のメモリセルの各々を前記第2のインバータ特性に従って駆動する、請求項12に記載のスタティック型半導体記憶装置。

【請求項14】 前記駆動回路は、

30 書き込み信号の活性化に伴って、

前記下限電圧よりも高い外部電源電圧が供給されたとき、前記複数のメモリセルの各々を前記第1のインバータ特性に従って駆動させるための第1の電圧を出力し、前記下限電圧以下の外部電源電圧が供給されたとき、前記複数のメモリセルの各々を前記第2のインバータ特性に従って動作させるための第2の電圧を出力する外部電源電圧制御回路を含む、請求項13に記載のスタティック型半導体記憶装置。

【請求項15】 前記駆動回路は、書き込み信号が活性化される期間よりも短い期間、前記第1のインバータ特性に従って前記複数のメモリセルの各々を駆動させる、請求項1または請求項12に記載のスタティック型半導体記憶装置。

【請求項16】 前記駆動回路は、書き込み信号の活性化に伴ってデータがメモリセルに書込まれる期間だけ、前記第1のインバータ特性に従って前記複数のメモリセルの各々を駆動させる、請求項1または請求項12に記載のスタティック型半導体記憶装置。

【請求項17】 前記複数のメモリセルは複数のブロック50 に分割され、

前記駆動回路は、前記複数のブロックに対応して設けられる、請求項1または請求項12に記載のスタティック型半導体記憶装置。

【請求項18】 前記駆動回路は、対応するブロックを選択するブロック選択信号の活性化に伴って前記第1の電圧を対応するブロックに含まれる複数のメモリセルに供給する、請求項17に記載のスタティック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、スタティック型半導体記憶装置に関し、特に、書込みマージンが大きいスタティック型半導体記憶装置に関する。

【0002】

【従来の技術】従来、低消費なSRAM (Static Random Access Memory) においては、図20に示すような高抵抗負荷型のメモリセル120が用いられていた。高抵抗負荷型のメモリセル120は、抵抗2a、2bと、チャンネルMOSトランジスタ3a、3b、4a、4bとを備える。抵抗2aは、NチャンネルMOSトランジスタ4aと直列に接続される。抵抗2bは、NチャンネルMOSトランジスタ4bと直列に接続される。抵抗2a、2bには、電源ノード1から外部電源電圧が供給される。NチャンネルMOSトランジスタ4a、4bのドレイン端子は接地ノード8に接続される。NチャンネルMOSトランジスタ3aは、抵抗2aとNチャンネルMOSトランジスタ4aとの接続点であるノードN1とビット線BLとの間に配置される。また、NチャンネルMOSトランジスタ3bは、抵抗2bとNチャンネルMOSトランジスタ4bとの接続点であるノードN2とビット線BLとの間に配置される。

【0003】NチャンネルMOSトランジスタ3a、3bのゲート端子にはワード線Wが接続される。また、ノードN1は、NチャンネルMOSトランジスタ4bのゲート端子に接続され、ノードN2は、NチャンネルMOSトランジスタ4aのゲート端子に接続される。抵抗2a、2bは1TΩ以上の高抵抗である。

【0004】メモリセル120からのデータの読出し時には、NチャンネルMOSトランジスタ3a、3bがオンされ、カラム電流が低電位側の記憶ノードへ流れ込む。すなわち、負荷素子である抵抗2a、2bに並列に低インピーダンスの負荷が接続されたのと同じになり、高インピーダンスな負荷素子である抵抗2a、2bは存在しないのと同じになる。したがって、NチャンネルMOSトランジスタ3a、3bを負荷として扱う必要がある。その結果、NチャンネルMOSトランジスタ3a、4aおよびNチャンネルMOSトランジスタ3b、4bは、図21に示すようなインバータ特性を示す。

【0005】曲線k1は、NチャンネルMOSトランジスタ3a、4aのインバータ特性を示し、曲線k2は、N

チャンネルMOSトランジスタ3b、4bのインバータ特性を示す。曲線k1と曲線k2との関係は、一方の曲線を傾き45度の線に対して対称移動させた関係である。そうすると、一般に「セルの目」と呼ばれる曲線k1、k2で囲まれた領域が形成される。曲線k1と曲線k2との距離Lは、スタティックノイズマージンSNM (Static Noise Margin) と呼ばれるものであり、スタティックノイズマージンSNMが大きいほど特性が安定していることを示す。

10 【0006】点S1、S2は、安定点であり、安定点S1はデータ「0」を示し、安定点S2はデータ「1」を示す。スタティックノイズマージンSNMを大きくするには、NチャンネルMOSトランジスタ3a (または3b) のドレイン電流とNチャンネルMOSトランジスタ4a (または4b) のドレイン電流との比 (「β比」という。) を大きくする。そうすると、図21の曲線k3 (点線) で示すようにスタティックノイズマージンSNMが大きくなる。β比を大きくするには、NチャンネルMOSトランジスタ4a (または4b) に対してNチャンネルMOSトランジスタ3a (または3b) の長さを長くし、NチャンネルMOSトランジスタ3a (または3b) に対してNチャンネルMOSトランジスタ4a (または4b) の幅を大きくすることが考えられるが、これではメモリセルの面積を増大させる。

【0007】そこで、図22に示すように、ノードN1とNチャンネルMOSトランジスタ3aとの間に抵抗R1を、ノードN2とNチャンネルMOSトランジスタ3bとの間に抵抗R2を、それぞれ、挿入することによってβ比を大きくしている。

30 【0008】しかし、このような方法によってβ比を大きくしても、メモリセルの動作電圧の下限は、2.4～2.5V程度であり、近年の低電圧動作 (2V程度) には対応できなかった。

【0009】かかる理由から、図23に示すフルCMOS型のメモリセル121が用いられるようになった。メモリセル121は、高抵抗負荷型のメモリセル120の抵抗2a、2bをPチャンネルMOSトランジスタ7a、7bに代えたものである。メモリセル121のインバータ特性も、NチャンネルMOSトランジスタ3a (または3b) とNチャンネルMOSトランジスタ4a (または4b) とのインバータ特性であるが、フルCMOS型のメモリセル121の場合には、負荷にPチャンネルMOSトランジスタ7a、7bを用いているため、NチャンネルMOSトランジスタ3a (または3b) とNチャンネルMOSトランジスタ4a (または4b) とのインバータ特性にPチャンネルMOSトランジスタ7a、7bの負荷も考慮に入れる必要がある。その結果、図24に示すように、PチャンネルMOSトランジスタ7a、7bが負荷として追加されることによって、インバータ特性は外部電源電圧Vccから始まる。これに対し、NチャンネルMO

Sトランジスタ3a(または3b)とNチャネルMOSトランジスタ4a(または4b)とのインバータ特性は、 $V_{cc}-V_{th}$ (V_{th} : NチャネルMOSトランジスタ3aまたは3bのしきい値) から始まる。

【0010】また、インバータ特性の肩は、NチャネルMOSトランジスタ3a(または3b)とNチャネルMOSトランジスタ4a(または4b)との場合、NチャネルMOSトランジスタ4a(または4b)のしきい値によって決定されていたのに対し、PチャネルMOSトランジスタ7a, 7bが負荷として追加されたときは、PチャネルMOSトランジスタ7a, 7bの負荷とNチャネルMOSトランジスタ4a(または4b)のしきい値との競合によって決定され、張り出しが大きくなる。

【0011】これらの違いによって、フルCMOS型のメモリセル121の場合は、 β 比を大きくしなくても高抵抗負荷型のメモリセル120よりもスタティックノイズマージンSNMが大きくなる。

【0012】また、フルCMOS型のメモリセル121においても、図25に示すようにノードN1とNチャネルMOSトランジスタ3aとの間に抵抗R1を、ノードN2とNチャネルMOSトランジスタ3bとの間に抵抗R2を、それぞれ、挿入して β 比を大きくした場合にも、図24の点線で示すように、さらにスタティックノイズマージンSNMを大きくできる。その結果、動作電圧の下限が大きくなる。

【0013】

【発明が解決しようとする課題】このようにフルCMOS型のメモリセル121においては、スタティックノイズマージンSNMが大きくなり、動作マージンが拡大されるが、これに反して書込みマージンは小さくなる。書込み易いということはスタティックノイズマージンSNMが小さいということであり、特に、2.5V以上の比較的高い電圧においては、書込みマージンを十分に取らなければ書込みができないという問題がある。

【0014】そこで、本発明は、かかる問題を解決するためになされたものであり、その目的は、大きなスタティックノイズマージンSNMを有するメモリセルにおいて、書込みマージンを取ることができるスタティック型半導体記憶装置を提供することである。

【0015】

【課題を解決するための手段】この発明によるスタティック型半導体記憶装置は、第1のスタティックノイズマージンを有する第1のインバータ特性または第1のスタティックノイズマージンよりも大きい第2のスタティックノイズマージンを有する第2のインバータ特性に従って駆動される複数のメモリセルと、複数のメモリセルの各々にデータを書込むとき、第1のインバータ特性に従って複数のメモリセルの各々を駆動させ、複数のメモリセルの各々からデータを読み出すとき、第2のインバータ特性に従って複数のメモリセルの各々を駆動させる駆動

回路とを備え、複数のメモリセルの各々は、第1の導電型の第1の駆動用トランジスタおよび第2の導電型の第1の負荷用トランジスタからなる第1のインバータならびに第1の導電型の第2の駆動用トランジスタおよび第2の導電型の第2の負荷用トランジスタからなる第2のインバータを有するフリップフロップ回路と、第1のインバータの出力ノードに接続される第1の導電型の第1のアクセストランジスタと、第2のインバータの出力ノードに接続される第1の導電型の第2のアクセストランジスタとを含む。

【0016】この発明によるスタティック型半導体記憶装置においては、複数のメモリセルの各々は、データが書き込まれるとき、小さいスタティックノイズマージンを有する第1のインバータ特性に従って駆動され、データが読出されるとき、大きいスタティックノイズマージンを有する第2のインバータ特性に従って駆動される。したがって、この発明によれば、データの読出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書込み時は、書込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0017】好ましくは、スタティック型半導体記憶装置の駆動回路は、複数のメモリセルの各々にデータを書込むとき、第1のインバータ特性に従って駆動させるための第1の電圧を複数のメモリセルの各々に供給し、複数のメモリセルの各々からデータを読み出すとき、第2のインバータ特性に従って駆動させるための第2の電圧を複数のメモリセルの各々に供給する。

【0018】駆動回路は、各メモリセルにデータを書込むとき各メモリセルに第1の電圧を供給し、各メモリセルからデータを読み出すとき各メモリセルに第2の電圧を供給する。そうすると、各メモリセルは、データの書込み時、小さいスタティックノイズマージンを有する第1のインバータ特性に従って駆動され、データの読出し時、スタティックノイズマージンが大きい第2のインバータ特性に従って駆動される。

【0019】したがって、この発明によれば、各メモリセルへ供給する電圧を変化させることによって、データの読出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書込み時は、書込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0020】好ましくは、スタティック型半導体記憶装置の駆動回路は、第1および第2の電圧を各メモリセルの高電圧ノードへ供給する。

【0021】駆動回路は、各メモリセルにデータを書込むとき、各メモリセルの高電圧ノードへ第1の電圧を供給し、各メモリセルからデータを読み出すとき、各メモリセルの高電圧ノードへ第2の電圧を供給する。そうすると、各メモリセルは、第1の電圧が供給されたとき、スタティックノイズマージンが小さいインバータ特性に従って駆動され、第2の電圧が供給されたとき、スタティ

ックノイズマージンが大きいインバータ特性に従って駆動される。

【0022】したがって、この発明によれば、各メモリセルの高電圧ノードへ供給する電圧を変化させることによって、データの読出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書込み時は、書込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0023】好ましくは、スタティック型半導体記憶装置の駆動回路は、書込み信号の活性化に伴って第1の活性化信号を生成し、書込み信号の不活性化に伴って第2の活性化信号を生成する活性化信号生成回路と、複数のメモリセルの各々にデータを書込むとき、第1の活性化信号に基づいて第1の電圧を複数のメモリセルの各々に供給し、複数のメモリセルの各々からデータを読出すとき、第2の活性化信号に基づいて第2の電圧を複数のメモリセルの各々に供給する電圧供給回路とを含み、電圧供給回路は、外部電源電圧が供給される外部電源線と、複数のメモリセルの各々の高電圧ノードに接続された内部電源線と、外部電源線と内部電源線との間に接続され、第1の活性化信号を受けて第1の電圧を内部電源線に供給する第1の導電型の第1の電圧供給用トランジスタと、外部電源線と内部電源線との間に第1の電圧供給用トランジスタと並列接続され、第2の活性化信号を受けて第2の電圧を内部電源線に供給する第2の導電型の第2の電圧供給用トランジスタとから成る。

【0024】各メモリセルにデータを書込むとき、書込み信号の活性化に伴って生成された第1の活性化信号によって第1の電圧供給用トランジスタが外部電源電圧に基づいて第1の電圧を内部電源線へ供給する。また、各メモリセルからデータを読出すとき、書込み信号の不活性化に伴って生成された第2の活性化信号によって第2の電圧供給用トランジスタが外部電源電圧に基づいて第2の電圧を内部電源線へ供給する。

【0025】したがって、この発明によれば、導電型が異なる2つのトランジスタを選択的に活性化させることによって第1の電圧と第2の電圧とを選択的に各メモリセルの高電圧ノードへ供給できる。その結果、データの読出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書込み時は、書込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0026】好ましくは、スタティック型半導体記憶装置の駆動回路は、第1および第2の電圧を各メモリセルの低電圧ノードへ供給する。

【0027】駆動回路は、各メモリセルにデータを書込むとき、各メモリセルの低電圧ノードへ第1の電圧を供給し、各メモリセルからデータを読出すとき、各メモリセルの低電圧ノードへ第2の電圧を供給する。そうすると、各メモリセルは、第1の電圧が供給されたとき、スタティックノイズマージンが小さいインバータ特性に従って駆動され、第2の電圧が供給されたとき、スタティ

ックノイズマージンが大きいインバータ特性に従って駆動される。

【0028】したがって、この発明によれば、各メモリセルの低電圧ノードへ供給する電圧を変化させることによって、データの読出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書込み時は、書込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0029】好ましくは、スタティック型半導体記憶装置の駆動回路は、書込み信号の活性化に伴って第1の活性化信号を生成し、書込み信号の不活性化に伴って第2の活性化信号を生成する活性化信号生成回路と、複数のメモリセルの各々にデータを書込むとき、第1の活性化信号に基づいて第1の電圧を複数のメモリセルの各々に供給し、複数のメモリセルの各々からデータを読出すとき、第2の活性化信号に基づいて第2の電圧を複数のメモリセルの各々に供給する電圧供給回路とを含み、電圧供給回路は、接地電圧が供給される接地ノードと、複数のメモリセルの各々の低電圧ノードに接続された内部電源線と、接地ノードと内部電源線との間に接続され、第1の活性化信号を受けて第1の電圧を内部電源線に供給する第2の導電型の第3の電圧供給用トランジスタと、接地ノードと内部電源線との間に第3の電圧供給用トランジスタと並列接続され、第2の活性化信号を受けて第2の電圧を内部電源線に供給する第1の導電型の第4の電圧供給用トランジスタとから成る。

【0030】各メモリセルにデータを書込むとき、書込み信号の活性化に伴って生成された第1の活性化信号によって第3の電圧供給用トランジスタが接地電圧に基づいて第1の電圧を内部電源線へ供給する。また、各メモリセルからデータを読出すとき、書込み信号の不活性化に伴って生成された第2の活性化信号によって第4の電圧供給用トランジスタが接地電圧に基づいて第2の電圧を内部電源線へ供給する。なお、この場合、第1の電圧を内部電源線へ供給するトランジスタ、および第2の電圧を内部電源線へ供給するトランジスタは、各メモリセルの高電圧ノードへ第1および第2の電圧を供給する場合と逆の導電型のトランジスタである。

【0031】したがって、この発明によれば、導電型が異なる2つのトランジスタを選択的に活性化させることによって第1の電圧と第2の電圧とを選択的に各メモリセルの低電圧ノードへ供給できる。その結果、データの読出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書込み時は、書込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0032】好ましくは、スタティック型半導体記憶装置の駆動回路は、複数のメモリセルの各々にデータを書込むとき、各メモリセルの負荷を第1のインバータ特性に従って駆動させるための第1の負荷に設定し、複数のメモリセルの各々からデータを読出すとき、各メモリセルの負荷を第2のインバータ特性に従って駆動させるた

めの第2の負荷に設定する。

【0033】駆動回路は、各メモリセルにデータを書込むとき、大きな負荷を各メモリセルと直列に接続し、スタティックノイズマージンが小さい第1のインバータ特性に従って各メモリセルを動作させる。また、駆動回路は、各メモリセルからデータを読み出すとき、小さな負荷を各メモリセルと直列に接続し、スタティックノイズマージンが大きい第2のインバータ特性に従って各メモリセルを動作させる。

【0034】したがって、この発明によれば、各メモリセルと直列に接続する負荷を変化させることによってスタティックノイズマージンの小さい第1のインバータ特性またはスタティックノイズマージンの大きな第2のインバータ特性に従って各メモリセルを動作させることができる。その結果、データの読み出し時は、より安定な特性に従ってメモリセルを駆動でき、データの書き込み時は、書き込みマージンが大きい特性に従ってメモリセルを駆動できる。

【0035】好ましくは、スタティック型半導体記憶装置の駆動回路は、書き込み信号の活性化に伴って活性化信号を生成し、書き込み信号の不活性化に伴って不活性化信号を生成する信号生成回路と、複数のメモリセルの各々にデータを書込むとき、不活性化信号に基づいて第2の電圧を供給して各メモリセルの負荷を第1の負荷に設定し、複数のメモリセルの各々からデータを読み出すとき、活性化信号に基づいて第2の電圧を供給して各メモリセルの負荷を第2の負荷に設定する電圧供給回路とを含む。

【0036】駆動回路は、書き込み信号の活性化／不活性化に同期して生成された活性化信号／不活性化信号によって、それぞれ、各メモリセルの負荷を第1の負荷、第2の負荷に設定する。この場合、同じ第2の電圧が各メモリセルに供給される。

【0037】したがって、この発明によれば、データの書き込み時はスタティックノイズマージンが小さい第1のインバータ特性に従って各メモリセルを駆動でき、データの読み出し時はスタティックノイズマージンが大きい第2のインバータ特性に従って各メモリセルを駆動できる。

【0038】また、この発明によれば、同じ電圧を供給し、負荷を変化させることによって各メモリセルのインバータ特性を切替えることができる。

【0039】好ましくは、スタティック型半導体記憶装置の駆動回路に含まれる電圧供給回路は、外部電源電圧が供給される外部電源線と、複数のメモリセルの各々の高電圧ノードに接続された内部電源線と、外部電源線と内部電源線との間に接続され、活性化信号を受けて内部電源線に第2の電圧を供給し、各メモリセルの負荷を第2の負荷に設定する第2の導電型の電圧供給用トランジスタと、外部電源線と内部電源線との間に電圧供給用ト

ランジスタと並列接続され、不活性化信号によって電圧供給用トランジスタが不活性化されることに伴って内部電源線に第2の電圧を供給し、各メモリセルの負荷を第1の負荷に設定する抵抗とから成る。

【0040】電圧供給回路においては、活性化信号によって電圧供給用トランジスタが活性化されると、各メモリセルの負荷はスタティックノイズマージンが大きい第2の負荷に設定され、不活性化信号によって電圧供給用トランジスタが不活性化されると、各メモリセルの負荷はスタティックノイズマージンの小さい第1の負荷に設定される。

【0041】したがって、この発明によれば、電圧供給用トランジスタを選択的に活性化することによって各メモリセルのインバータ特性を切替えることができる。

【0042】好ましくは、スタティック型半導体記憶装置の駆動回路は、書き込み信号の活性化に伴って第1の活性化信号を生成し、書き込み信号の不活性化に伴って第2の活性化信号を生成する活性化信号生成回路と、複数のメモリセルの各々にデータを書込むとき、第1の活性化信号に基づいて第2の電圧を供給して各メモリセルの負荷を第1の負荷に設定し、複数のメモリセルの各々からデータを読み出すとき、第2の活性化信号に基づいて第2の電圧を供給して各メモリセルの負荷を第2の負荷に設定する電圧供給回路とを含む。

【0043】駆動回路は、書き込み信号の活性化／不活性化に同期して生成された第1の活性化信号／第2の活性化信号によって、それぞれ、各メモリセルの負荷を第1の負荷、第2の負荷に設定する。この場合、同じ第2の電圧が各メモリセルに供給される。

【0044】したがって、この発明によれば、第1の活性化信号によってスタティックノイズマージンが小さい第1のインバータ特性に従って各メモリセルを駆動でき、第2の活性化信号によってスタティックノイズマージンが大きい第2のインバータ特性に従って各メモリセルを駆動できる。

【0045】また、この発明によれば、同じ電圧を供給し、負荷を変化させることによって各メモリセルのインバータ特性を切替えることができる。

【0046】好ましくは、スタティック型半導体記憶装置の駆動回路に含まれる電圧供給回路は、外部電源電圧が供給される外部電源線と、複数のメモリセルの各々の高電圧ノードに接続された内部電源線と、外部電源線と内部電源線との間に接続され、第1の活性化信号を受けて内部電源線に第2の電圧を供給し、各メモリセルの負荷を第1の負荷に設定する第2の導電型の薄膜トランジスタと、外部電源線と内部電源線との間に薄膜トランジスタと並列接続され、第2の活性化信号を受けて内部電源線に第2の電圧を供給し、各メモリセルの負荷を第2の負荷に設定する第2の導電型の電圧供給用トランジスタとから成る。

【0047】電圧供給回路においては、薄膜トランジスタと電圧供給用トランジスタとを選択的に活性化させることによって各メモリセルの負荷を第1の負荷または第2の負荷に切替える。そうすると、各メモリセルは、第1のインバータ特性または第2のインバータ特性に従って駆動される。

【0048】したがって、この発明によれば、薄膜トランジスタをメモリセルの負荷を変化させる負荷として用いることによってメモリセルのインバータ特性を切替えることができる。

【0049】また、この発明によるスタティック型半導体記憶装置は、第1のスタティックノイズマージンを有する第1のインバータ特性または第1のスタティックノイズマージンよりも大きい第2のスタティックノイズマージンを有する第2のインバータ特性に従って駆動される複数のメモリセルと、複数のメモリセルの各々にデータを書込むとき、供給される外部電源電圧に応じて第1のインバータ特性または第2のインバータ特性に従って複数のメモリセルの各々を駆動させる駆動回路とを備え、複数のメモリセルの各々は、第1の導電型の第1の駆動用トランジスタおよび第2の導電型の第1の負荷用トランジスタからなる第1のインバータならびに第1の導電型の第2の駆動用トランジスタおよび第2の導電型の第2の負荷用トランジスタからなる第2のインバータを有するフリップフロップ回路と、第1のインバータの出力ノードに接続される第1の導電型の第1のアクセストランジスタと、第2のインバータの出力ノードに接続される第1の導電型の第2のアクセストランジスタとを含む。

【0050】この発明によるスタティック型半導体記憶装置においては、各メモリセルに低い外部電源電圧が供給されたとき、スタティックノイズマージンが大きいインバータ特性に従って各メモリセルが駆動され、高い外部電源電圧が駆動されたときスタティックノイズマージンが小さいインバータ特性に従って各メモリセルが駆動される。

【0051】したがって、この発明によれば、外部電源電圧の低い領域においてはスタティックノイズマージンが大きいメモリセルからのデータの消失がなく、かつ、データの書き込みも容易に行なうことができる。また、外部電源電圧の高い領域においてはスタティックノイズマージンが小さくなるため書き込みマージンを十分に取り、メモリセルからのデータの消失を防止できる。

【0052】好ましくは、スタティック型半導体記憶装置の駆動回路は、第1の駆動用トランジスタと第1のアクセストランジスタとのインバータ特性、または第2の駆動用トランジスタと第2のアクセストランジスタとのインバータ特性が消滅する下限電圧よりも高い外部電源電圧が供給されたとき、複数のメモリセルの各々を第1のインバータ特性に従って駆動し、下限電圧以下の外部

電源電圧が供給されたとき、複数のメモリセルの各々を第2のインバータ特性に従って駆動する。

【0053】2つの同じ導電型のトランジスタによるインバータ特性が消滅する下限電圧を基準にして、外部電源電圧が下限電圧以下の領域ではスタティックノイズマージンの大きいインバータ特性に従って各メモリセルを駆動させ、外部電源電圧が下限電圧よりも高い領域ではスタティックノイズマージンの小さいインバータ特性に従って各メモリセルを駆動させる。

10 【0054】したがって、この発明によれば、メモリセルの動作電圧が下限電圧を挟んで両方向にシフトしても安定してデータの書き込みおよび読出しを行なうことができる。

【0055】好ましくは、スタティック型半導体記憶装置の駆動回路は、書き込み信号の活性化に伴って、下限電圧よりも高い外部電源電圧が供給されたとき、複数のメモリセルの各々を第1のインバータ特性に従って駆動させるための第1の電圧を出力し、下限電圧以下の外部電源電圧が供給されたとき、複数のメモリセルの各々を第2のインバータ特性に従って動作させるための第2の電圧を出力する外部電源電圧制御回路を含む。

【0056】駆動回路の外部電源電圧制御回路は、書き込み信号が活性化されると、供給される外部電源電圧に応じて異なる電圧を各メモリセルへ出力する。つまり、外部電源電圧制御回路は、下限電圧よりも高い外部電源電圧が供給されたとき第1の電圧を各メモリセルへ出力し、下限電圧以下の外部電源電圧が供給されたとき第2の電圧を各メモリセルへ出力する。そうすると、各メモリセルは、第1の電圧が供給されたときスタティックノイズマージンが小さい第1のインバータ特性に従って駆動され、第2の電圧が供給されたときスタティックノイズマージンが大きい第2のインバータ特性に従って駆動される。また、下限電圧以下の外部電源電圧が供給されたとき、第1の導電型の2つのトランジスタによるインバータ特性は消滅するが、第1の導電型の第1の駆動用トランジスタと第2の導電型の第1の負荷用トランジスタとのインバータ特性または第1の導電型の第2の駆動用トランジスタと第2の導電型の第2の負荷用トランジスタとのインバータ特性は消滅しない。

40 【0057】したがって、この発明によれば、外部電源電圧が低下し、動作電圧が低くとも安定してデータの読出し、および書き込みができる。

【0058】好ましくは、スタティック型半導体記憶装置の駆動回路は、書き込み信号が活性化される期間よりも短い期間、第1のインバータ特性に従って複数のメモリセルの各々を駆動させる。

【0059】駆動回路は、書き込み信号が活性化されている期間よりも短い期間、スタティックノイズマージンが小さい第1のインバータ特性に従って各メモリセルを駆動する。

【0060】したがって、この発明によれば、書込みマージンの大きい低消費電力のスタティック型半導体記憶装置を実現できる。

【0061】好ましくは、スタティック型半導体記憶装置の駆動回路は、書込み信号の活性化に伴ってデータがメモリセルに書込まれる期間だけ、第1のインバータ特性に従って複数のメモリセルの各々を駆動させる。

【0062】駆動回路は、書込み信号が活性化される期間よりも短い実際にデータの書込み動作が行われる期間のみ、スタティックノイズマージンが小さい第1のインバータ特性に従って各メモリセルを駆動する。

【0063】したがって、この発明によれば、書込みマージンが大きく、かつ、さらに低消費電力のスタティック型半導体記憶装置を実現できる。

【0064】好ましくは、スタティック型半導体記憶装置の複数のメモリセルは複数のブロックに分割され、駆動回路は、複数のブロックに対応して設けられる。

【0065】複数のメモリセルは、複数のブロックに分割され、その分割された各ブロックに対応するよう駆動回路が設けられる。そして、各駆動回路は、対応するブロックに含まれる複数のメモリセルを、データの書込み時は第1のインバータ特性に従って動作させ、データの読出し時は第2のインバータ特性に従って動作させる。

【0066】したがって、この発明によれば、各ブロックごとにデータの読出し、およびマージンの大きいデータの書込みを行なうことができる。

【0067】好ましくは、スタティック型半導体記憶装置の駆動回路は、対応するブロックを選択するブロック選択信号の活性化に伴って第1の電圧に対応するブロックに含まれる複数のメモリセルに供給する。

【0068】各ブロックに対応して設けられた各駆動回路は、対応するブロックが選択されると、そのブロックに第1の電圧を供給し、そのブロックに含まれる複数のメモリセルを第1のインバータ特性に従って駆動する。

【0069】したがって、この発明によれば、データの書込み時、各ブロックに含まれる複数のメモリセルを正確に第1のインバータ特性に従って駆動できる。

【0070】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0071】【実施の形態1】図1を参照して、この発明の実施の形態1によるスタティック型半導体記憶装置100は、外部電源線5と、内部電源線6と、行アドレスバッファ10と、列アドレスバッファ20と、行アドレスデコーダ30と、列アドレスデコーダ40と、読出／書込バッファ50と、ワード線ドライバ60と、駆動回路70と、書込ドライバ80と、センスアンプ90と、列選択スイッチ110と、メモリセル121～124と、入出力バッファ130と、PチャネルMOSトラ

ンジスタ141～144とを備える。また、駆動回路70は、インバータ71と、電圧供給回路72を含む。

【0072】外部電源線5は、入出力端子から入力された外部電源電圧を駆動回路70の電圧供給回路72へ供給する。内部電源線6は、電圧供給回路72から出力された電圧をメモリセル121～124へ供給する。

【0073】行アドレスバッファ10は、入出力端子から入力された行アドレス信号を行アドレスデコーダ30へ出力する。列アドレスバッファ20は、入出力端子から入力された列アドレス信号を列アドレスデコーダ40へ出力する。

【0074】行アドレスデコーダ30は、入力された行アドレス信号をデコードし、ワード線ドライバ60へ出力する。列アドレスデコーダ40は、入力された列アドレス信号をデコードし、列選択スイッチ110へ出力する。

【0075】読出／書込バッファ50は、入出力端子から入力された読出／書込制御信号を駆動回路70のインバータ71、書込ドライバ80、およびセンスアンプ90へ出力する。

【0076】ワード線ドライバ60は、行アドレスデコーダ30からの行アドレスに対応する行のワード線をHレベルに引き上げる。インバータ71は、データの書込み時、Lレベルの読出／書込制御信号／WEを反転した内部書込信号WE_iを電圧供給回路72へ出力する。電圧供給回路72は、内部書込信号WE_iに基づいて、後述する方法により異なる電圧を内部電源線6へ出力する。

【0077】書込ドライバ80は、読出／書込バッファ50からのL（論理ロー）レベルの読出／書込制御信号によって活性化され、列選択スイッチ110によって接続されたビット線対BL1、／BL1、BL2、／BL2、・・・へセンスアンプ90によって増幅されたデータを書込む。

【0078】センスアンプ90は、読出／書込バッファ50からの読出／書込制御信号によって活性化される。そして、センスアンプ90は、データの読出し時、列選択スイッチ110によって接続されたビット線対BL1、／BL1、BL2、／BL2、・・・上の出力信号を増幅して入出力バッファ130へ出力する。また、センスアンプ90は、データの書込み時、入出力バッファ130からのデータを増幅し、入出力バッファ130を介して書込ドライバ80へ出力する。

【0079】列選択スイッチ110は、列アドレスデコーダ40からの列アドレスに対応する列のビット線対BL1、／BL1、BL2、／BL2、・・・を書込ドライバ80またはセンスアンプ90と接続する。

【0080】メモリセル121～124は、記憶情報に対応する論理値「0」または「1」が記憶される。入出力バッファ130は、データの書込み時、入出力端子か

らのデータをセンスアンプ90へ出力し、センスアンプ90で増幅されたデータを書込ドライバ80へ出力する。また、入出力バッファ130は、データの読出し時、センスアンプ90で増幅されたデータを入出力端子へ出力する。

【0081】PチャネルMOSトランジスタ141~144は、常時オンにされ、対応するビット線対BL1、/BL1、BL2、/BL2、・・・へ外部電源電圧を供給する。

【0082】図2を参照して、電圧供給回路72は、PチャネルMOSトランジスタ720と、NチャネルMOSトランジスタ721と、電源電圧ノード722とを備える。電源電圧ノード722は外部電源線5に接続される。PチャネルMOSトランジスタ720とNチャネルMOSトランジスタ721とは、外部電源線と内部電源線6との間に並列接続される。また、PチャネルMOSトランジスタ720とNチャネルMOSトランジスタ721は、内部書込信号WE_iをゲート端子に受ける。

【0083】メモリセル121~124へのデータの書込み時、Lレベルの読出/書込制御信号/WEが読出/書込バッファ50から駆動回路70のインバータ71へ入力されると、インバータ71は、Lレベルの読出/書込制御信号/WEを反転したH（論理ハイ）レベルの内部書込信号WE_iを出力する。そうすると、PチャネルMOSトランジスタ720およびNチャネルMOSトランジスタ721は、Hレベルの内部書込信号WE_iをゲート端子に受け、PチャネルMOSトランジスタ720はオフされ、NチャネルMOSトランジスタ721はオンされる。そして、NチャネルMOSトランジスタ721は、外部電源電圧VCCよりもNチャネルMOSトランジスタ721のしきい値V_{TH}分だけ低い電圧VCC-V_{TH}を内部電源線6へ出力する。

【0084】メモリセル121~124は、図23に示すフルCMOS型のメモリセルである。内部電源線6は、フルCMOS型のメモリセルの電源ノード1と接続されているため、内部電源線6へ出力された電圧VCC-V_{TH}は、メモリセル121~124の電源ノード1へ供給される。そうすると、負荷であるPチャネルMOSトランジスタ7a、7bに電圧VCC-V_{TH}が供給されるため、メモリセル121~124は、図21に示すインバータ特性に従って駆動される。

【0085】一方、メモリセル121~124からのデータの読出し時、読出/書込バッファ50は、Hレベルの読出/書込制御信号/WEを駆動回路70のインバータ71へ出力するため、インバータ71は、Lレベルの内部書込信号WE_iを出力する。そうすると、PチャネルMOSトランジスタ720およびNチャネルMOSトランジスタ721は、Lレベルの内部書込信号WE_iをゲート端子に受け、PチャネルMOSトランジスタ720はオンされ、NチャネルMOSトランジスタ721は

オフされる。そして、PチャネルMOSトランジスタ720は、外部電源電圧VCCを内部電源線6へ出力する。

【0086】そして、メモリセル121~124の電源ノード1に外部電源電圧VCCが供給されるため、メモリセル121~124は、図24に示すインバータ特性に従って駆動される。

【0087】したがって、電圧供給回路72は、内部書込信号WE_iに基づいて、データの書込み時、電圧VCC-V_{TH}をメモリセル121~124の電源ノード1へ供給し、データの読出し時、外部電源電圧VCCを電源ノード1へ供給する。そして、メモリセル121~124は、電圧VCC-V_{TH}に応じてスタティックノイズマージンSNMが小さいインバータ特性に従って駆動され、電圧VCCに応じてスタティックノイズマージンSNMが大きいインバータ特性に従って駆動される。その結果、データの書込み時は、スタティックノイズマージンSNMが小さくなり、書込みマージンが大きくなる。

【0088】なお、駆動回路70のインバータ71は、PチャネルMOSトランジスタ720とNチャネルMOSトランジスタ721とを選択的に活性化させるLレベルの内部書込信号WE_i、Hレベルの内部書込信号WE_iを生成するため、本発明において活性化信号生成回路を構成する。

【0089】再び、図1を参照して、メモリセル121~124からのデータの読出し動作/へのデータの書込み動作について説明する。読出し動作においては、半導体記憶装置100に入出力端子を介して外部からアドレス信号およびHレベルの読出/書込制御信号が入力される。行アドレスバッファ10は、入力された行アドレス信号を行アドレスデコーダ30へ出力し、行アドレスデコーダ30は行アドレス信号をデコードしてワード線ドライバ60へ出力する。そして、ワード線ドライバ60は、行アドレスに対応するワード線をHレベルに引き上げる。

【0090】列アドレスバッファ20は、入力された列アドレス信号を列アドレスデコーダ40へ出力し、列アドレスデコーダ40は列アドレス信号をデコードして列選択スイッチ110へ出力する。そして、列選択スイッチ110は、列アドレスに対応するビット線対BL1、/BL1、BL2、/BL2、・・・をセンスアンプ90と接続する。

【0091】一方、読出/書込バッファ50は、Hレベルの読出/書込制御信号を駆動回路70のインバータ71へ出力し、インバータ71はLレベルの内部書込信号WE_iを電圧供給回路72へ出力する。そうすると、電圧供給回路72は、上述した方法によって外部電源電圧VCCを内部電源線6を介してメモリセル121~124へ供給する。そして、メモリセル121~124のう

ち、Hレベルに引き上げられたワード線と、列選択スイッチ110によってセンスアンプ90に接続されたビット線対BL1、/BL1、BL2、/BL2、・・・とつながったメモリセルは、スタティックノイズマージンSNMの大きいインバータ特性に従って駆動され、記憶されたデータに対応する出力信号を出力する。

【0092】センスアンプ90は、出力された出力信号を増幅して入出力バッファ130へ出力する。そして、入出力バッファ130はデータを入出力端子を介して外部へ出力する。

【0093】書き込み動作においては、半導体記憶装置100に入出力端子を介して外部からアドレス信号およびLレベルの読出/書き制御信号が入力される。行アドレスバッファ10は、入力された行アドレス信号を行アドレスデコーダ30へ出力し、行アドレスデコーダ30は行アドレス信号をデコードしてワード線ドライバ60へ出力する。そして、ワード線ドライバ60は、行アドレスに対応するワード線をHレベルに引き上げる。

【0094】列アドレスバッファ20は、入力された列アドレス信号を列アドレスデコーダ40へ出力し、列アドレスデコーダ40は列アドレス信号をデコードして列選択スイッチ110へ出力する。そして、列選択スイッチ110は、列アドレスに対応するビット線対BL1、/BL1、BL2、/BL2、・・・を書込ドライバ80と接続する。

【0095】一方、読出/書きバッファ50は、Lレベルの読出/書き制御信号を駆動回路70のインバータ71へ出力し、インバータ71はHレベルの内部書込信号WEiを電圧供給回路72へ出力する。そうすると、電圧供給回路72は、上述した方法によって外部電源電圧VCC-VTHを内部電源線6を介してメモリセル121~124へ供給する。そして、メモリセル121~124のうち、Hレベルに引き上げられたワード線と、列選択スイッチ110によって書込ドライバ80に接続されたビット線対BL1、/BL1、BL2、/BL2、・・・とつながったメモリセルは、スタティックノイズマージンSNMの小さいインバータ特性に従って駆動される。

【0096】入出力バッファ130は、入出力端子を介して入力したデータをセンスアンプ90へ出力し、増幅されたデータをセンスアンプ90から受け取る。そして、入出力バッファ130は、増幅されたデータを書込ドライバ80へ出力する。そうすると、書込ドライバ80は、入力したデータを列選択スイッチ110によって接続されたビット線対BL1、/BL1、BL2、/BL2、・・・へ書込む。そして、データが書込まれたビット線対BL1、/BL1、BL2、/BL2、・・・につながったメモリセルは、小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動されているため、ビット線対BL1、/BL1、BL2、

/BL2、・・・上のデータはメモリセルに容易に書込まれる。

【0097】実施の形態1によれば、スタティック型半導体記憶装置100は、データの書込み時、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動するための電圧VCC-VTHをメモリセルに供給し、データの読出し時、大きいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動するための電圧VCCをメモリセルに供給するので、メモリセルを安定に駆動し、かつ、データの書き込みマージンを大きくできる。

【0098】[実施の形態2] 実施の形態2によるスタティック型半導体記憶装置200は、図1に示すスタティック型半導体記憶装置100の電圧供給回路72を電圧供給回路73に代えたものであり、その他は実施の形態1と同じである。

【0099】図3を参照して、電圧供給回路73は、電圧供給回路72のNチャネルMOSトランジスタ722を高抵抗な抵抗731に代えたものである。抵抗731はテラ(T)Ωオーダーの抵抗値を有する。

【0100】メモリセル121~124へのデータの書込み時、PチャネルMOSトランジスタ720はHレベルの内部書込信号WEiをゲート端子に受けてオフされる。そうすると、抵抗731は、外部電源線5上の外部電源電圧VCCを殆ど降圧せずに、電圧VCCを内部電源線6へ出力する。そして、メモリセル121~124は、電圧VCCを電源ノード1に受ける。この場合、メモリセル121~124は、図24に示す大きなスタティックノイズマージンSNMを有するインバータ特性ではなく、図21に示す小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。電圧供給回路73が抵抗731によって電圧VCCをメモリセル121~124へ供給するとき、メモリセル121~124の負荷であるPチャネルMOSトランジスタ7a、7bと抵抗731とは直列に接続されたことになり、メモリセル121~124は、実質的には図20に示す高抵抗負荷型のメモリセルと同じように駆動される。したがって、この場合、メモリセル121~124は、図21に示す小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。

【0101】一方、メモリセル121~124からのデータの読出し時、PチャネルMOSトランジスタ720はLレベルの内部書込信号WEiをゲート端子に受けてオンされる。そうすると、PチャネルMOSトランジスタ720の抵抗は非常に小さいので、PチャネルMOSトランジスタ720は電圧VCCを内部電源線6へ出力する。そして、メモリセル121~124は、電圧VCCを電源ノード1に受け、図24に示す大きなスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。この場合、メモリセル121~124

の負荷であるPチャネルMOSトランジスタ7a, 7bに直列に接続される抵抗は、電圧供給回路73のPチャネルMOSトランジスタ720の非常に小さい抵抗であるため、メモリセル121~124は、図24に示す大きなスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。

【0102】このように実施の形態2においては、電圧供給回路73からメモリセル121~124へ同じ電圧VCCが供給されるが、メモリセル121~124は、異なるインバータ特性に従って駆動される。つまり、データの書込み時、電圧供給回路73は、抵抗731をメモリセル121~124と直列に接続してメモリセル121~124の負荷を小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動するための負荷に設定する。一方、データの読出し時、電圧供給回路73は、抵抗が非常に小さいPチャネルMOSトランジスタ720をメモリセル121~124と直列に接続してメモリセル121~124の負荷を大きいスタティックノイズマージンSNMを有するインバータ特性に従って駆動するための負荷に設定する。

【0103】したがって、メモリセル121~124と直列に接続する負荷を変化させることによって、メモリセル121~124のインバータ特性を変化させることができる。その他は、実施の形態1と同じである。

【0104】実施の形態2によれば、スタティック型半導体記憶装置200は、データの書込み時とデータの読出し時とで、メモリセルの負荷を異なる負荷に設定し、データの書込み時、スタティックノイズマージンSNMの小さいインバータ特性に従ってメモリセルを駆動し、データの読出し時、スタティックノイズマージンSNMの大きいインバータ特性に従ってメモリセルを駆動するので、メモリセルを安定に駆動し、かつ、データの書込みマージンを大きくできる。

【0105】[実施の形態3] 実施の形態3によるスタティック型半導体記憶装置300は、図1に示すスタティック型半導体記憶装置100の電圧供給回路72を電圧供給回路74に代えたものであり、その他は実施の形態1と同じである。

【0106】図4を参照して、電圧供給回路74は、電圧供給回路72のNチャネルMOSトランジスタ722をPチャネル薄膜トランジスタ741に代えたものである。Pチャネル薄膜トランジスタ741は、オン状態でテラ(T)Ωオーダーの抵抗値を有する。

【0107】メモリセル121~124へのデータの書込み時、内部書込信号WEiはHレベルである。したがって、PチャネルMOSトランジスタ720はHレベルの内部書込信号WEiをゲート端子に受けてオフされ、Pチャネル薄膜トランジスタ741は、Hレベルの内部書込信号WEiがインバータ742によって反転されたLレベルの信号をゲート端子に受けてオンされる。そう

すると、Pチャネル薄膜トランジスタ741は、外部電源線5上の外部電源電圧VCCを殆ど降圧せずに、電圧VCCを内部電源線6へ出力する。そして、メモリセル121~124は、電圧VCCを電源ノード1に受ける。この場合、Pチャネル薄膜トランジスタ741は実施の形態2の抵抗731と同じ機能を果たすため、メモリセル121~124は、図21に示す小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。

10 【0108】一方、メモリセル121~124からのデータの読出し時、PチャネルMOSトランジスタ720はLレベルの内部書込信号WEiをゲート端子に受けてオンされ、Pチャネル薄膜トランジスタ741はHレベルの信号をゲート端子に受けてオフされる。そうすると、実施の形態2で説明したのと同じように、メモリセル121~124は、電圧VCCを電源ノード1に受け、図24に示す大きなスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。

20 【0109】このように実施の形態3においても、電圧供給回路73からメモリセル121~124へ同じ電圧VCCが供給されるが、メモリセル121~124は、異なるインバータ特性に従って駆動される。つまり、データの書込み時とデータの読出し時とで、PチャネルMOSトランジスタ720とPチャネル薄膜トランジスタ741とを選択的に活性化させ、メモリセル121~124の負荷を異なる負荷に設定する。その他は、実施の形態2と同じである。

30 【0110】実施の形態3によれば、スタティック型半導体記憶装置300は、データの書込み時とデータの読出し時とで、メモリセルの負荷を異なる負荷に設定し、データの書込み時、スタティックノイズマージンSNMの小さいインバータ特性に従ってメモリセルを駆動し、データの読出し時、スタティックノイズマージンSNMの大きいインバータ特性に従ってメモリセルを駆動するので、メモリセルを安定に駆動し、かつ、データの書込みマージンを大きくできる。

40 【0111】[実施の形態4] 実施の形態4によるスタティック型半導体記憶装置400は、図1に示すスタティック型半導体記憶装置100の電圧供給回路72を電圧供給回路75に代えたものである。その他は半導体記憶装置100と同じである。

50 【0112】図5を参照して、電圧供給回路75は、NチャネルMOSトランジスタ751と、PチャネルMOSトランジスタ752と、インバータ753とを備える。NチャネルMOSトランジスタ751、およびPチャネルMOSトランジスタ752は、接地ノード750と内部電源線6との間に並列接続される。インバータ753は、内部書込信号WEiを反転してNチャネルMOSトランジスタ751のゲート端子およびPチャネルMOSトランジスタ752のゲート端子に与える。内部電

源線6は、図23の接地ノード8に接続される。

【0113】メモリセル121～124へのデータの書込み時、電圧供給回路75のインバータ753はHレベルの内部書込信号WE_iが入力される。そうすると、インバータ753は、Lレベルの信号をNチャネルMOSトランジスタ751のゲート端子およびPチャネルMOSトランジスタ752のゲート端子に与え、NチャネルMOSトランジスタ751はオフされ、PチャネルMOSトランジスタ752はオンされる。

【0114】そして、PチャネルMOSトランジスタ752は、接地電圧GNDよりもPチャネルMOSトランジスタ752のしきい値V_{TH}分だけ高い電圧GND+V_{TH}を内部電源線6へ出力する。メモリセル121～124は、電圧GND+V_{TH}を接地ノード8に受け、図6の点線で示すインバータ特性に従って駆動される。この場合、メモリセル121～124は、接地ノード8が電位GND+V_{TH}に上昇されるため、駆動用トランジスタであるNチャネルMOSトランジスタ4aのゲート端子に高い電圧が供給される領域でのノードN2の電位はV_{TH}分上昇する。その結果、図6の点線で示すインバータ特性になり、スタティックノイズマージンSNMは小さくなる。

【0115】一方、メモリセル121～124へのデータの書込み時、電圧供給回路75は、Lレベルの内部書込信号WE_iが入力される。そうすると、インバータ753は、Hレベルの信号をNチャネルMOSトランジスタ751のゲート端子とPチャネルMOSトランジスタ752のゲート端子とに与え、NチャネルMOSトランジスタ751はオンされ、PチャネルMOSトランジスタ752はオフされる。

【0116】そして、NチャネルMOSトランジスタ751は、接地電圧GNDを内部電源線6へ出力する。メモリセル121～124は、接地電圧GNDを接地ノード8に受け、図24に示すインバータ特性に従って駆動され、スタティックノイズマージンSNMは大きくなる。

【0117】このように実施の形態4においては、データの書込み時、メモリセル121～124の接地ノード8へ電圧GND+V_{TH}を供給することによってスタティックノイズマージンが小さいインバータ特性に従ってメモリセル121～124を駆動させ、データの読出し時、メモリセル121～124の接地ノード8へ電圧GNDを供給することによってスタティックノイズマージンが大きいインバータ特性に従ってメモリセル121～124を駆動させる。その他は、実施の形態1と同じである。

【0118】なお、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを選択的に活性化させて異なる電圧をメモリセルに供給し、異なるスタティックノイズマージンSNMを有するインバータ特性に従って

メモリセルを駆動させる点では、実施の形態1と同じであるが、大きいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動させるための電圧と、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動させるための電圧とを、メモリセルへ供給するトランジスタの導電型が実施の形態1とは逆である。

【0119】実施の形態4によれば、スタティック型半導体記憶装置400は、データの書込み時とデータの読出し時とで、メモリセルの接地ノードへ異なる電圧を供給し、データの書込み時、スタティックノイズマージンSNMの小さいインバータ特性に従ってメモリセルを駆動し、データの読出し時、スタティックノイズマージンSNMの大きいインバータ特性に従ってメモリセルを駆動するので、メモリセルを安定に駆動し、かつ、データの書込みマージンを大きくできる。

【0120】[実施の形態5] 図7を参照して、メモリセル121～124は、アレイ状に並べられている。そして、メモリセル121にデータを書込むときは、行デコーダ30でデコードされた行アドレスに対応するワード線W1がワード線ドライバ(図7においては図示せず)によってHレベルに引き上げられ、列デコーダ20でデコードされた列アドレスに対応するビット線対BL1、/BL1にデータを書込むためにカラム選択線15が立ち上げられる。そして、NチャネルMOSトランジスタ13a、13bがオンされてI/O線14a上の書込みデータがビット線対BL1、/BL1へ伝達されてメモリセル121にデータが書込まれる。

【0121】この場合、メモリセル121と同じワード線W1につながった隣接するメモリセル123は、自動的に読出し状態になる。メモリセル121～124へ供給される電源電圧が2.2V以下と非常に低い場合、メモリセル121～124のNチャネルMOSトランジスタ3a(または3b)とNチャネルMOSトランジスタ4a(または4b)とのインバータ特性が消滅してしまうため、選択されたメモリセル121と同じワード線W1に接続されたメモリセル123は、ワード線W1がHレベルに引き上げられたときにスタティックノイズマージンSNMがなく、書込まれたデータが消失してしまうという問題がある。このため、実施の形態1～4で説明した電圧供給回路72～75を用いたのでは、電源電圧が2.2以下に下がったとき、データの書込みを行っているメモリセル以外のメモリセルにおけるデータ消失を防止することができない。

【0122】そこで、この実施の形態5によるスタティック型半導体記憶装置500は、図1に示す電圧供給回路72に代えて図8に示す電圧供給回路76を用いる。

【0123】図8を参照して、電圧供給回路76は、PチャネルMOSトランジスタ720、763と、外部電源電圧制御回路761と、インバータ762と、Nチャ

10

20

30

40

50

ネルMOSトランジスタ764とを備える。並列接続されたPチャネルMOSトランジスタ763およびNチャネルMOSトランジスタ764は、外部電源電圧制御回路761に直列に接続される。そして、外部電源電圧制御回路761は、電源ノード722に接続され、並列接続されたPチャネルMOSトランジスタ763およびNチャネルMOSトランジスタ764は、内部電源線6に接続される。また、PチャネルMOSトランジスタ720は、電源ノード722と内部電源線6との間に配置され、外部電源電圧制御回路761と、PチャネルMOSトランジスタ763およびNチャネルMOSトランジスタ764とに対して並列に接続される。

【0124】PチャネルMOSトランジスタ720およびNチャネルMOSトランジスタ764は、内部書込信号WE_iをゲート端子に受け、オン・オフされる。PチャネルMOSトランジスタ763は、内部書込信号WE_iがインバータ762で反転された信号をゲート端子に受け、オン・オフされる。

【0125】メモリセル121~124へデータを書込むとき、すなわち、Hレベルの内部書込信号WE_iが電圧供給回路76へ入力されたとき、PチャネルMOSトランジスタ720はオフされ、PチャネルMOSトランジスタ763およびNチャネルMOSトランジスタ764がオンされる。そして、外部電源電圧制御回路761は、後述する方法により外部電源電圧VCCのレベルに応じた電圧を内部電源線6へ出力する。

【0126】また、メモリセル121~124からデータを読出すとき、すなわち、Lレベルの内部書込信号WE_iが電圧供給回路76へ入力されたとき、PチャネルMOSトランジスタ720はオンされ、PチャネルMOSトランジスタ763およびNチャネルMOSトランジスタ764がオフされる。そして、PチャネルMOSトランジスタ720は電圧VCCを内部電源線6へ出力する。

【0127】図9を参照して、外部電源電圧制御回路761は、抵抗765、767と、PチャネルMOSトランジスタ768、769と、NチャネルMOSトランジスタ770とを備える。抵抗765は、電源ノード722と接地ノード766との間に3個直列に接続され、電源ノード722に供給された外部電源電圧VCCを分圧する。

【0128】PチャネルMOSトランジスタ768は、電源ノード722と接地ノード766との間に抵抗767、767と直列に接続される。また、PチャネルMOSトランジスタ768は、ノード772上の電圧をゲート端子に受け、図21のインバータ特性が消滅する下限電圧V_{gn}よりも高い電圧がゲート端子に入力されるとオフされる。

【0129】PチャネルMOSトランジスタ769とNチャネルMOSトランジスタ770とは、電源ノード7

22とノード771との間に並列に接続される。また、PチャネルMOSトランジスタ769は、ノード763上の電圧をゲート端子に受け、下限電圧V_{gn}よりも高い電圧がゲート端子に入力されるとオフされる。NチャネルMOSトランジスタ770は、常時、オンされている。

【0130】下限電圧V_{gn}以下の外部電源電圧VCCが電源ノード722に供給されると、ノード772上の電圧は低いいためPチャネルMOSトランジスタ768がオンされ、ノード763には外部電源電圧VCCが供給され、PチャネルMOSトランジスタ769は、外部電源電圧VCCをゲート端子に受ける。しかし、外部電源電圧VCCが下限電圧V_{gn}よりも低いいため、PチャネルMOSトランジスタ769はオンし、ノード771に外部電源電圧VCCを出力する。この場合、NチャネルMOSトランジスタ770もオンされているが、NチャネルMOSトランジスタ770は、電圧VCC-V_{TH}（V_{TH}はNチャネルMOSトランジスタ770のしきい値）をノード771に出力するため、ノード771上の電圧は電圧V_{TH}となる。

【0131】下限電圧V_{gn}以上の外部電源電圧VCCが電源ノード722へ供給されると、ノード772は下限電圧V_{gn}よりも低い電圧をPチャネルMOSトランジスタ768へ印加するため、PチャネルMOSトランジスタ768はオンされ、ノード763は、外部電源電圧VCCになる。そうすると、ノード763は、外部電源電圧VCCをPチャネルMOSトランジスタ769のゲート端子に与えるため、PチャネルMOSトランジスタ769はオフされる。そして、NチャネルMOSトランジスタ770は、電圧VCC-V_{TH}をノード771へ出力する。

【0132】したがって、外部電源電圧制御回路761は、図10に示すように外部電源電圧VCCが下限電圧V_{gn}以下のときPチャネルMOSトランジスタ769によって外部電源電圧VCCをノード771へ出力し、外部電源電圧VCCが下限電圧V_{gn}よりも高くなると、電圧VCC-V_{TH}をノード771へ出力する。

【0133】そうすると、再び図8を参照して、メモリセル121~124へのデータの書込み時、外部電源電圧制御回路761から内部電源線6へ電圧が出力されるが、外部電源電圧VCCが下限電圧V_{gn}以下のときは外部電源電圧VCCが内部電源線6へ出力され、外部電源電圧VCCが下限電圧V_{gn}よりも高いときは電圧VCC-V_{TH}が内部電源線6へ出力される。そして、内部電源線6に出力された電圧VCCまたはVCC-V_{TH}は、メモリセル121~124の電源ノード1へ供給される。

【0134】その結果、メモリセル121~124は、外部電源電圧VCCが下限電圧V_{gn}以下のときは、図24に示すインバータ特性に従って駆動され、外部電源

電圧VCCが下限電圧Vgnよりも高くなると、図21に示すインバータ特性に従って駆動される。外部電源電圧VCCが下限電圧Vgn以下のとき、メモリセル121～124のNチャネルMOSトランジスタ3a（または3b）とNチャネルMOSトランジスタ4a（または4b）とのインバータ特性は消滅するが、NチャネルMOSトランジスタ4a（または4b）とPチャネルMOSトランジスタ7a（または7b）とのインバータ特性は消滅しないため、メモリセル121～124は、図24に示すインバータ特性に従って駆動される。

【0135】したがって、外部電源電圧VCCが下限電圧Vgn以下のときは、動作電圧が低いためメモリセル1231～124へデータを容易に書込むことができ、スタティックノイズマージンSNMが大きいいためデータは消失されない。また、外部電源電圧VCCが下限電圧Vgnよりも高いときは、動作電圧が高いためデータが消失されることがなく、スタティックノイズマージンSNMが小さいため書き込みマージンが大きくなる。

【0136】また、データの読出し時は、PチャネルMOSトランジスタ720によって電圧VCCがメモリセル121～124へ供給されるため、メモリセル121～124は、大きなスタティックノイズマージンSNMを有するインバータ特性に従って駆動される。

【0137】その他は、実施の形態1の説明と同じである。実施の形態5によれば、スタティック型半導体記憶装置500においては、データの書き込み時、供給される外部電源電圧VCCのレベルに応じてスタティックノイズマージンSNMの大きいインバータ特性またはスタティックノイズマージンSNMの小さいインバータ特性に従ってメモリセルが駆動され、データの読出し時、スタティックノイズマージンSNMの大きいインバータ特性に従ってメモリセルが駆動されるので、外部電源電圧VCCが変動しても、安定してデータの書き込みおよび読出しを行なうことができる。

【0138】[実施の形態6] 図11を参照して、実施の形態6によるスタティック型半導体記憶装置600は、図1に示すスタティック型半導体記憶装置100の駆動回路70を駆動回路70Aに代え、信号生成回路150を追加したものである。駆動回路70Aは、インバータ71と電圧供給回路78とを含む。

【0139】信号生成回路150は、読出／書込バッファ50からの読出／書込制御信号／WEに基づいて、後述する方法により内部書込信号WL iを生成し、駆動回路70Aの電圧供給回路78およびワード線ドライバ60へ出力する。

【0140】図12を参照して、信号生成回路150は、ワンショットマルチ151、152からなる。ワンショットマルチ151と、ワンショットマルチ152とは、出力信号をHレベルに保持する期間が異なる。

【0141】図12、14を参照して、信号生成回路1

50における内部書込信号WL iの生成について生成する。アドレス信号とともに、そのアドレス信号によって指定されるメモリセルにデータを書込むための期間、Lレベルを保持した読出／書込制御信号／WEが入力される。そして、読出／書込バッファ50は、Lレベルを保持した読出／書込制御信号／WEを信号生成回路150へ出力する。そうすると、ワンショットマルチ151は、読出／書込制御信号／WEの立下りに同期してHレベルに立ち上がる信号WEMを生成し、ワンショットマルチ152へ出力する。そして、ワンショットマルチ152は、信号WEMの立下りに同期してHレベルに立ち上がる内部書込信号WL iを生成する。内部書込信号WL iは、読出／書込制御信号／WEがLレベルを保持している期間よりも短い期間、Hレベルを保持する。

【0142】図13を参照して、電圧供給回路78は、図2に示す電圧供給回路72にNAND781とインバータ782とを追加したものである。NAND781は、内部書込信号WE i、WL iを入力し、その2つの信号の論理を取る。そして、インバータ782は、NAND781の出力信号を反転してPチャネルMOSトランジスタ720のゲート端子とNチャネルMOSトランジスタ721のゲート端子とに与える。つまり、電圧供給回路78は、内部書込信号WE iと内部書込信号WL iとが共にHレベルのときNチャネルMOSトランジスタ721をオンさせてメモリセル121～124へ電圧VCC-VTHを供給する。

【0143】また、データの読出しモードに移行した場合、読出／書込制御信号／WEはHレベルを保持するため、信号生成回路150はHレベルの内部書込信号WL iを出力する。そうすると、NAND781は、Lレベルの内部書込信号WE iおよびHレベルの内部書込信号WL iを入力し、Hレベルの信号を出力し、インバータ721は、Lレベルの信号を出力する。そうすると、NチャネルMOSトランジスタ721はオフされ、PチャネルMOSトランジスタ720はオンされて内部電源線6に電圧VCCが出力される。

【0144】したがって、電圧供給回路78は、データをメモリセル121～124へ書込むとき、読出／書込制御信号／WEがLレベルを保持する期間よりも短い期間だけ、電圧VCC-VTHをメモリセル121～124の電源ノード1へ供給し、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセル121～124を駆動させ、データをメモリセル121～124から読出すときは、電圧VCCをメモリセル121～124の電源ノード1へ供給し、大きいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセル121～124を駆動させる。

【0145】再び、図11を参照して、スタティック型半導体記憶装置600におけるデータの読出し動作および書き込み動作について説明する。読出し動作において

10

20

30

40

50

は、半導体記憶装置600に入出力端子を介して外部からアドレス信号およびHレベルの読出／書込制御信号／WEが入力される。行アドレスバッファ10は、入力された行アドレス信号を行アドレスデコーダ30へ出力し、行アドレスデコーダ30は行アドレス信号をデコードしてワード線ドライバ60へ出力する。

【0146】一方、信号生成回路150は、Hレベルの読出／書込制御信号／WEに基づいてHレベルの内部書込信号WL_iを駆動回路70Aの電圧供給回路78およびワード線ドライバ60へ出力する。そうすると、ワード線ドライバ60は、Hレベルに保持された内部書込信号WL_iを受けて、行アドレスに対応するワード線をHレベルに引き上げる。

【0147】列アドレスバッファ20は、入力された列アドレス信号を列アドレスデコーダ40へ出力し、列アドレスデコーダ40は列アドレス信号をデコードして列選択スイッチ110へ出力する。そして、列選択スイッチ110は、列アドレスに対応するビット線対BL1、／BL1、BL2、／BL2、・・・をセンスアンプ90と接続する。

【0148】一方、読出／書込バッファ50は、Hレベルの読出／書込制御信号／WEを駆動回路70Aのインバータ71へ出力し、インバータ71はLレベルの内部書込信号WE_iを電圧供給回路78へ出力する。そうすると、電圧供給回路78は、Hレベルの内部書込信号WL_iとLレベルの内部書込信号WE_iとに基づいて、上述したように電圧VCCを内部電源線6を介してメモリセル121～124へ供給する。そして、メモリセル121～124のうち、Hレベルに引き上げられたワード線と、列選択スイッチ110によってセンスアンプ90に接続されたビット線対BL1、／BL1、BL2、／BL2、・・・とにつながつたメモリセルは、スタティックノイズマージンSNMの大きいインバータ特性に従って駆動され、記憶されたデータに対応する出力信号を出力する。

【0149】センスアンプ90は、出力された出力信号を増幅して入出力バッファ130へ出力する。そして、入出力バッファ130はデータを入出力端子を介して外部へ出力する。

【0150】書込み動作においては、半導体記憶装置600に入出力端子を介して外部からアドレス信号およびLレベルの読出／書込制御信号／WEが入力される。行アドレスバッファ10は、入力された行アドレス信号を行アドレスデコーダ30へ出力し、行アドレスデコーダ30は行アドレス信号をデコードしてワード線ドライバ60へ出力する。

【0151】一方、信号生成回路150は、上述したようにLレベルの読出／書込制御信号／WEに基づいて、読出／書込制御信号／WEがLレベルを保持する期間よりも短い期間、Hレベルを保持する内部書込信号WL_i

を駆動回路70Aの電圧供給回路78およびワード線ドライバ60へ出力する。そうすると、ワード線ドライバ60は、Hレベルに保持された内部書込信号WL_iを受けて、内部書込信号WL_iがHレベルを保持する期間のみ行アドレスに対応するワード線をHレベルに引き上げる。

【0152】列アドレスバッファ20は、入力された列アドレス信号を列アドレスデコーダ40へ出力し、列アドレスデコーダ40は列アドレス信号をデコードして列選択スイッチ110へ出力する。そして、列選択スイッチ110は、列アドレスに対応するビット線対BL1、／BL1、BL2、／BL2、・・・を書込ドライバ80と接続する。

【0153】一方、読出／書込バッファ50は、Lレベルの読出／書込制御信号／WEを駆動回路70Aのインバータ71へ出力し、インバータ71はHレベルの内部書込信号WE_iを電圧供給回路78へ出力する。そうすると、電圧供給回路78は、上述した方法によって内部書込信号WL_iがHレベルを保持する期間のみ、外部電源電圧VCC-VTHを内部電源線6を介してメモリセル121～124へ供給する。そして、メモリセル121～124のうち、Hレベルに引き上げられたワード線と、列選択スイッチ110によって書込ドライバ80に接続されたビット線対BL1、／BL1、BL2、／BL2、・・・とにつながつたメモリセルは、スタティックノイズマージンSNMの小さいインバータ特性に従って駆動される。

【0154】入出力バッファ130は、入出力端子を介して入力したデータをセンスアンプ90へ出力し、増幅されたデータをセンスアンプ90から受け取る。そして、入出力バッファ130は、増幅されたデータを書込ドライバ80へ出力する。そうすると、書込ドライバ80は、入力したデータを列選択スイッチ110によって接続されたビット線対BL1、／BL1、BL2、／BL2、・・・へ書込む。そして、データが書込まれたビット線対BL1、／BL1、BL2、／BL2、・・・につながつたメモリセルは、小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動されているため、ビット線対BL1、／BL1、BL2、／BL2、・・・上のデータはメモリセルに容易に書込まれる。この場合、メモリセル121～124が小さいスタティックノイズマージンSNMを有するインバータ特性に従って駆動される期間と、ワード線がHレベルに引き上げられる期間とは一致する。

【0155】上記においては、実施の形態1における電圧供給回路72を用いた例について説明したが、実施の形態6においては、これに限らず、電圧供給回路72に代えて実施の形態2における電圧供給回路73、実施の形態3における電圧供給回路74、実施の形態4における電圧供給回路75、および実施の形態5における電圧

供給回路76を用いて電圧供給回路78を構成しても良い。

【0156】これらの電圧供給回路72～76を用いて電圧供給回路78を構成した場合にも内部書込信号WL_iがHレベルを保持する期間のみ、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動できる。

【0157】実施の形態6によれば、スタティック型半導体記憶装置600は、データの書込みモード期間を示す読出／書込制御信号／WEがLレベルを保持する期間よりも短い期間のみ、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動するので、書込みマージンを大きくできるとともに半導体記憶装置の低消費化を図ることができる。

【0158】【実施の形態7】図15を参照して、実施の形態7によるスタティック型半導体記憶装置700は、図11に示すスタティック型半導体記憶装置600の信号生成回路150を信号生成回路150Aに代えたものであり、その他は半導体記憶装置600と同じである。

【0159】信号生成回路150Aは、読出／書込制御信号／WEに基づいて内部書込信号WL_i、WLS_iを生成し、内部書込信号WL_iをワード線ドライバ60へ出力し、内部書込信号WLS_iを駆動回路70Aの電圧供給回路78へ出力する。その他は、半導体記憶装置600と同じである。

【0160】図16を参照して、信号生成回路150Aは、ワンショットマルチ151、152、153から成る。ワンショットマルチ151、152については、実施の形態6の説明と同じである。ワンショットマルチ153は、ワンショットマルチ151、152とは異なる期間、出力信号をHレベルに保持する。

【0161】図16、17を参照して、信号生成回路150Aにおける内部書込信号WL_i、WLS_iの生成について説明する。アドレス信号とともに、そのアドレス信号によって指定されるメモリセルにデータを書込むための期間、Lレベルを保持した読出／書込制御信号／WEが入力される。そして、読出／書込バッファ50は、Lレベルを保持した読出／書込制御信号／WEを信号生成回路150へ出力する。そうすると、ワンショットマルチ151は、読出／書込制御信号／WEの立下りに同期してHレベルに立ち上がる信号WEMを生成し、ワンショットマルチ152、153へ出力する。そして、ワンショットマルチ152は、信号WEMの立下りに同期してHレベルに立ち上がる内部書込信号WL_iを生成する。また、ワンショットマルチ153は、信号WEMの立下りに同期してHレベルに立ち上がる内部書込信号WLS_iを生成する。内部書込信号WL_iは、読出／書込制御信号／WEがLレベルを保持している期間よりも短い期間、Hレベルを保持する。また、内部書込信号WL

Siは、読出／書込制御信号／WEがLレベルを保持している期間よりも短く、かつ、データをメモリセル121～124へ実際に書込む期間、Hレベルを保持する。

【0162】一方、データの読出し時、信号生成回路150Aは、Hレベルの読出／書込制御信号／WEが入力される。そうすると、ワンショットマルチ151は、Hレベルの信号WEMを出力する。そして、ワンショットマルチ152、153もHレベルの内部書込信号WL_i、WLS_iを出力する。

10 【0163】そうすると、メモリセル121～124へのデータの書込み時、電圧供給回路78は、Hレベルの内部書込信号WE_iと、Hレベルの内部書込信号WLS_iとが入力され、ワード線ドライバ60は、Hレベルの内部書込信号WL_iが入力される。そして、電圧供給回路78は、Hレベルの内部書込信号WE_iと、Hレベルの内部書込信号WLS_iとに基づいて、実際にデータを書込む期間のみ、NチャネルMOSトランジスタ721によって電圧VCC-VTHをメモリセル121～124の電源ノード1へ供給する。また、ワード線ドライバ60は、内部書込信号WL_iがHレベルの期間のみ、行アドレスに対応するワード線をHレベルに引き上げる。これによって、実際にメモリセル121～124にデータが書込まれる期間のみメモリセル121～124をスタティックノイズマージンSNMが小さいインバータ特性に従って駆動できる。

【0164】一方、メモリセル121～124からのデータの読出し時、電圧供給回路78は、Lレベルの内部書込信号WE_iと、Hレベルの内部書込信号WLS_iとが入力され、ワード線ドライバ60は、Hレベルの内部書込信号WL_iが入力される。そして、電圧供給回路78は、Lレベルの内部書込信号WE_iと、Hレベルの内部書込信号WLS_iとに基づいて、PチャネルMOSトランジスタ720によって電圧VCCをメモリセル121～124の電源ノード1へ供給する。また、ワード線ドライバ60は、内部書込信号WL_iがHレベルの期間のみ、行アドレスに対応するワード線をHレベルに引き上げる。これによって、メモリセル121～124からデータが読出される期間、メモリセル121～124をスタティックノイズマージンSNMが大きいインバータ特性に従って駆動できる。

30 【0165】スタティック型半導体記憶装置700におけるデータの読出動作および書込動作は実施の形態6と同じである。

【0166】上記においては、実施の形態1における電圧供給回路72を用いた例について説明したが、実施の形態7においては、これに限らず、電圧供給回路72に代えて実施の形態2における電圧供給回路73、実施の形態3における電圧供給回路74、実施の形態4における電圧供給回路75、および実施の形態5における電圧供給回路76を用いて電圧供給回路78を構成しても良

い。

【0167】これらの電圧供給回路72~76を用いて電圧供給回路78を構成した場合にも内部書込信号WLSiがHレベルを保持する期間のみ、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動できる。

【0168】実施の形態7によれば、スタティック型半導体記憶装置600は、データの書込みモード期間を示す読出/書込制御信号/WEがLレベルを保持する期間よりも短い、実際にデータを書込む期間のみ、小さいスタティックノイズマージンSNMを有するインバータ特性に従ってメモリセルを駆動するので、書込みマージンを大きくできるとともに半導体記憶装置のさらに低消費化を図ることができる。

【0169】[実施の形態8] 最近、スタティック型半導体記憶装置の大容量化が進み、セルアレイが複数存在する。そこで、図18に示すように複数のメモリセルを複数のブロックBLK1, BLK2, ..., BLKnに分割し、各ブロックBLK1, BLK2, ..., BLKnに対応するように駆動回路901, 902, ..., 90nを設ける。各駆動回路901, 902, ..., 90nは、外部電源線5と接続されており、外部電源電圧VCCが供給される。

【0170】各駆動回路901, 902, ..., 90nは、実施の形態1~実施の形態5までに示した電圧供給回路72~76を含む。各駆動回路901, 902, ..., 90nが実施の形態1~3, 5に示した電圧供給回路72~74, 76を含む場合、外部電源線5を介して外部電源電圧VCCが供給される。そして、各駆動回路901, 902, ..., 90nの電圧供給回路72~74, 76の各々は、メモリセルの電源ノード1へ電圧VCCまたはVCC-VTHを供給し、スタティックノイズマージンSNMが小さいインバータ特性またはスタティックノイズマージンが大きいインバータ特性に従って対応するブロックに含まれるメモリセルを駆動する。

【0171】また、各駆動回路901, 902, ..., 90nが実施の形態4に示した電圧供給回路75を含む場合、外部電源線5を介して接地電圧GNDが供給される。そして、各駆動回路901, 902, ..., 90nの電圧供給回路75は、メモリセルの接地ノード8へ電圧GNDまたはGND+VTHを供給し、スタティックノイズマージンSNMが小さいインバータ特性またはスタティックノイズマージンが大きいインバータ特性に従って対応するブロックに含まれるメモリセルを駆動する。

【0172】また、各駆動回路901, 902, ..., 90nは、ブロック選択信号BLS1~BLSnによって対応するブロックBLK1~BLKnが選択されたことに伴って、対応するブロックBLK1~BLKn

に含まれるメモリセルを異なるインバータ特性に従って駆動する。

【0173】図19を参照して、たとえば、各駆動回路901, 902, ..., 90nが実施の形態1における電圧供給回路72を含む場合、各駆動回路901, 902, ..., 90nは電圧供給回路72と、NAND801と、インバータ802とを備える。NAND801は、内部書込信号WEiとブロック選択信号BLS1~BLSnとを入力する。そして、データの書込み時、Hレベルの内部書込信号WEiと、対応するブロックBLK1~BLKnが選択されたことを示すHレベルのブロック選択信号とが入力されると、NAND801は、Lレベルの信号を出力し、インバータ802はHレベルの信号を出力する。したがって、電圧供給回路72はNチャネルMOSトランジスタ721によって電圧VCC-VTHを内部電源線6へ出力する。そうすると、対応するブロックBLK1~BLKnに含まれるメモリセルは、スタティックノイズマージンSNMが小さいインバータ特性に従って駆動され、書込みマージンが大きくなる。

【0174】また、対応するブロックBLK1~BLKnが選択されていないとき、NAND801はLレベルのブロック選択信号BLS1~BLKnが入力されるため、Hレベルの信号を出力し、インバータ802はLレベルの信号を出力する。その結果、電圧供給回路72は、PチャネルMOSトランジスタ720によって電圧VCCを内部電源線6へ出力する。そうすると、対応するブロックBLK1~BLKnに含まれるメモリセルには、外部電源電圧VCCが供給される。したがって、そのブロックに含まれるメモリセルはデータを消失することがなく、安定している。

【0175】データの読出し時、NAND801は、Lレベルの内部書込信号WEiが入力されるため、対応するブロックBLK1~BLKnが選択されているか否かに拘わらず、すなわち、ブロック選択信号BLS1~BLSnがHレベルかLレベルかに拘わらず、Hレベルの信号を出力し、インバータ802はLレベルの信号を出力する。そうすると、上述したように電圧供給回路72は、PチャネルMOSトランジスタ720によって電圧VCCを内部電源線6へ出力する。そして、対応するブロックBLK1~BLKnに含まれるメモリセルには、外部電源電圧VCCが供給される。したがって、対応するブロックがデータの読出しにおいて選択されているときは、そのブロックに含まれるメモリセルは、スタティックノイズマージンSNMが大きいインバータ特性に従って駆動されてデータの読出しが行われる。データの読出しモードにおいて、対応するブロックが選択されていないときは、そのブロックに含まれるメモリセルはデータを消失することがなく、安定している。

【0176】他の電圧供給回路73~76を用いた場合

も同様である。したがって、電圧供給回路 72~76 による対応するブロックに含まれるメモリセルへの電圧の供給をブロック選択信号と関連させることによって、対応するブロックに含まれるメモリセルをデータの書き込みまたはデータの読出しに適したインバータ特性に従って正確に駆動することができる。

【0177】実施の形態 8 によれば、各ブロックに対応して設けられた各駆動回路は、対応するブロックが選択されると、そのブロックに含まれるメモリセルをスタティックノイズマージンが小さいインバータ特性またはスタティックノイズマージンが大きいインバータ特性に従って駆動するので、データの書き込み時、およびデータの読出しを正確に行なうことができる。

【0178】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0179】

【発明の効果】本発明によれば、スタティック型半導体記憶装置は、データの書き込み時、小さいスタティックノイズマージン SNM を有するインバータ特性に従ってメモリセルを駆動するための電圧 $V_{CC}-V_{TH}$ をメモリセルに供給し、データの読出し時、大きいスタティックノイズマージン SNM を有するインバータ特性に従ってメモリセルを駆動するための電圧 V_{CC} をメモリセルに供給するので、メモリセルを安定に駆動し、かつ、データの書き込みマージンを大きくできる。

【図面の簡単な説明】

【図 1】 実施の形態 1 によるスタティック型半導体記憶装置の概略ブロック図である。

【図 2】 図 1 に示す半導体記憶装置における電圧供給回路の回路図である。

【図 3】 実施の形態 2 によるスタティック型半導体記憶装置の電圧供給回路の回路図である。

【図 4】 実施の形態 3 によるスタティック型半導体記憶装置の電圧供給回路の回路図である。

【図 5】 実施の形態 4 によるスタティック型半導体記憶装置の電圧供給回路の回路図である。

【図 6】 図 5 に示す電圧供給回路により電圧が供給されたときのメモリセルのインバータ特性図である。。

【図 7】 スタティック型半導体記憶装置の概略ブロック図である。

【図 8】 実施の形態 5 によるスタティック型半導体記憶装置の電圧供給回路の回路図である。

【図 9】 図 8 の電圧供給回路に含まれる外部電源電圧制御回路の回路図である。

【図 10】 図 8 の電圧供給回路に含まれる外部電源電圧制御回路が出力する電圧の特性図である。

【図 11】 実施の形態 6 によるスタティック型半導体記憶装置の概略ブロック図である。

【図 12】 図 11 に示すスタティック型半導体記憶装置の信号生成回路のブロック図である。

【図 13】 図 11 に示すスタティック型半導体記憶装置の電圧供給回路の回路図である。

【図 14】 図 11 に示すスタティック型半導体記憶装置における信号のタイミングチャート図である。

10 【図 15】 実施の形態 7 によるスタティック型半導体記憶装置の概略ブロック図である。

【図 16】 図 15 に示すスタティック型半導体記憶装置における信号生成回路のブロック図である。

【図 17】 図 15 に示すスタティック型半導体記憶装置における信号のタイミングチャート図である。

【図 18】 実施の形態 8 によるスタティック型半導体記憶装置のブロック構成図である。

【図 19】 図 18 に示すスタティック型半導体記憶装置の駆動回路の回路図である。

20 【図 20】 高抵抗負荷型のメモリセルの回路図である。

【図 21】 図 20 に示すメモリセルのインバータ特性図である。

【図 22】 高抵抗負荷型のメモリセルの他の回路図である。

【図 23】 フル CMOS 型のメモリセルの回路図である。

【図 24】 図 23 に示すメモリセルのインバータ特性図である。

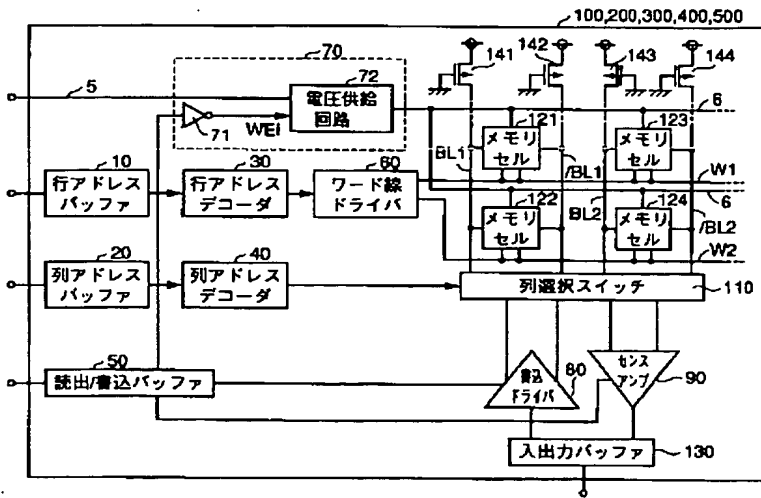
30 【図 25】 フル CMOS 型のメモリセルの他の回路図である。

【符号の説明】

1, 722 電源ノード、2a, 2b, 731, 765, 767 抵抗、5 外部電源線、6 内部電源線、10 行アドレスバッファ、3a, 3b, 4a, 4b, 13a, 13b, 141~144, 721, 751, 764, 770 NチャネルMOSトランジスタ、7a, 7b, 720, 752, 763, 768, 769 PチャネルMOSトランジスタ、8, 750, 766 接地ノード、14a I/O線、20 列アドレスバッファ、40 行アドレスデコーダ、40 列アドレスデコーダ、50 読出/書込バッファ、60 ワード線ドライバ、70, 70A, 901~90n 駆動回路、71, 742, 753, 762, 782, 802 インバータ、72, 73, 74, 75, 76, 78 電圧供給回路、80 書込ドライバ、90 センスアンプ、100~600 半導体記憶装置、110 列選択スイッチ、120~124 メモリセル、130 入出力バッファ、150, 150A 信号生成回路、151~153 ワンショットマルチ、741 Pチャネル薄膜トランジスタ、50 761 外部電源電圧制御回路、763, 771, 77

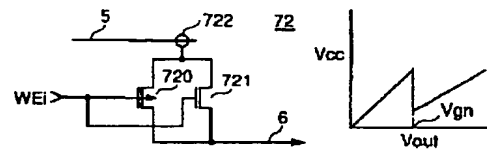
2 ノード、781, 801 NAND。

【図1】

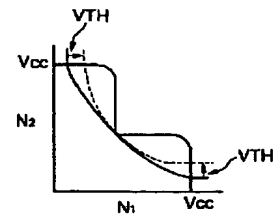


【図2】

【図10】



【図6】

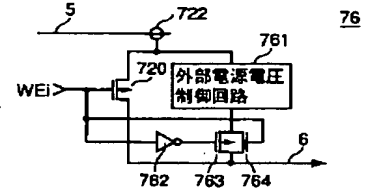
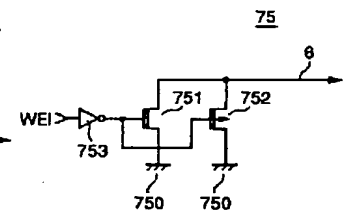
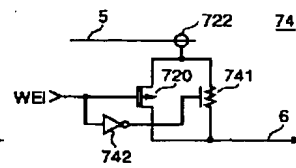
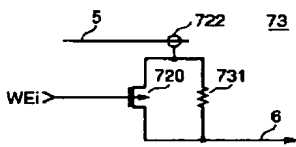


【図3】

【図4】

【図5】

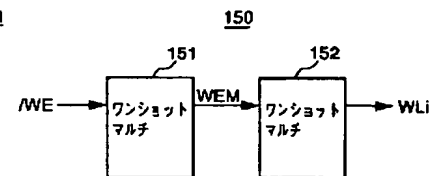
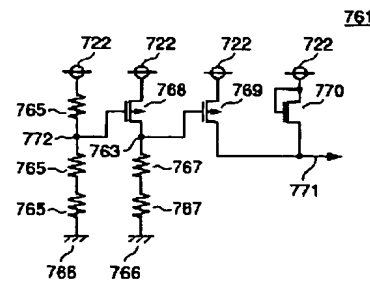
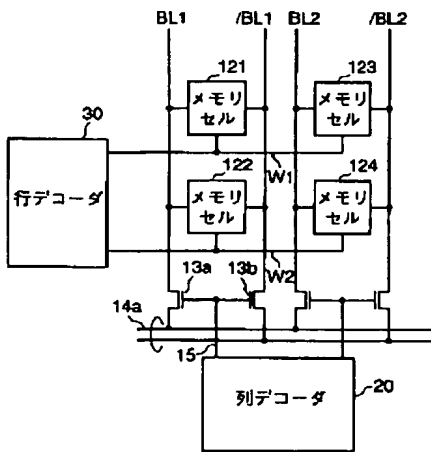
【図8】



【図7】

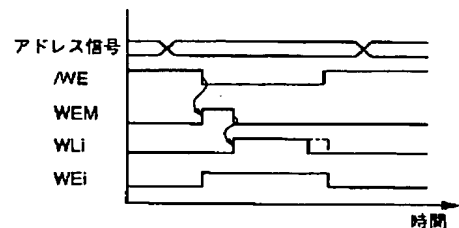
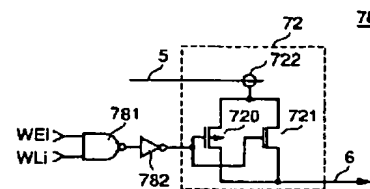
【図9】

【図12】

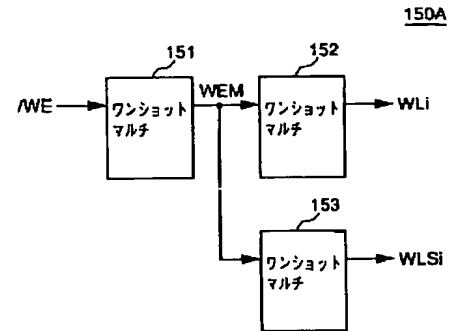


【図13】

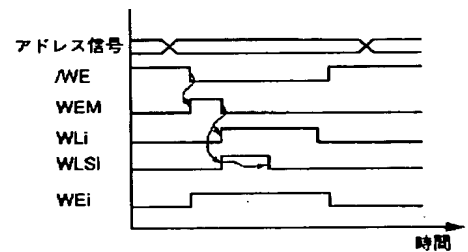
【図14】



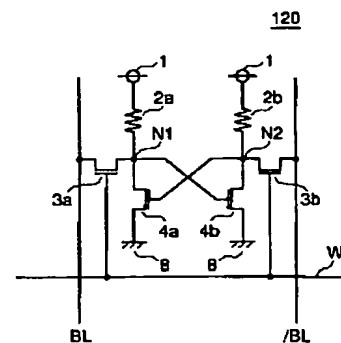
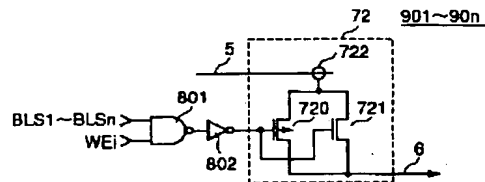
【例 16】



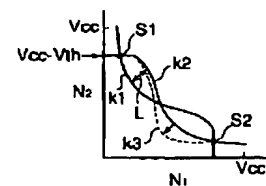
【図 17】



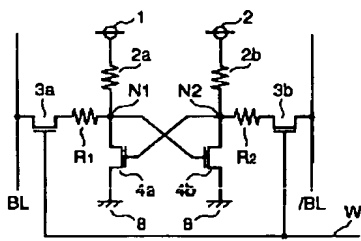
【図 19】



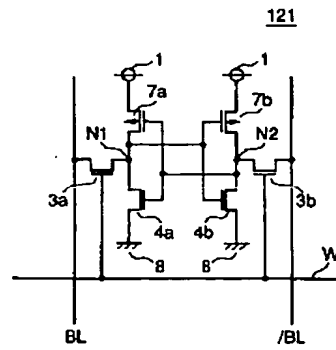
【図 2 1】



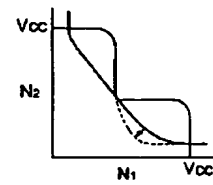
【图 2 2】



【図 23】



【図 24】



【図 25】

